

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## DYNAMIC TYPE MEMORY

Patent Number: JP4349293  
Publication date: 1992-12-03  
Inventor(s): YONETANI HIDEKI  
Applicant(s):: MITSUBISHI ELECTRIC CORP  
Requested Patent: ☐ JP4349293  
Application JP19910149952 19910524  
Priority Number(s):  
IPC Classification: G11C11/401  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:** To eliminate time loss required to the charging time of the line capacitance of a data writing line (I/O line) with a data holding circuit and to make a function capable of end-batch writing have to all memory cells in one row end batch writing operation to a memory array.

**CONSTITUTION:** This memory is provided with a first data writing line (I/O line) 10, a first column selector 11 to perform the ordinary writing operation in a memory array 1 and further, a second information writing line 30 connected with power source lines VSS; VCC through a data holding circuit 29 before the one row end batch writing operation is performed, the potential of the second information writing line 30 is impressed to all bit line pair 3a, 3b by actuating the 2nd column decoder 32. Further, a second row selecting means 33 selecting all word lines 4 simultaneously is provided and the end batch writing is performed to all the memory cells.

---

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-349293

(43) 公開日 平成4年(1992)12月3日

(51) Int.Cl.<sup>5</sup>

G 1 1 C 11/401

識別記号

庁内整理番号

F I

技術表示箇所

8320-5L

G 1 1 C 11/34

3 7 1 E

審査請求 未請求 請求項の数4(全7頁)

(21) 出願番号 特願平3-149952

(22) 出願日 平成3年(1991)5月24日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 米谷 英樹

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

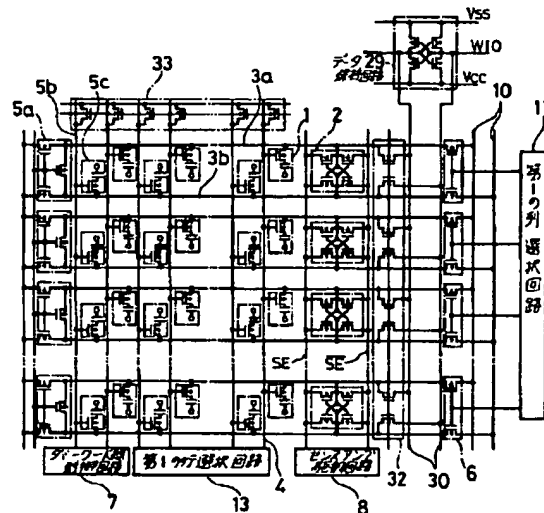
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 ダイナミック型メモリ

(57) 【要約】

【目的】 メモリアレイへの1行一括書き込み動作において、データ保持回路によるデータ書き込み線(I/O線)の線容量の充電時間によるタイムロスをなくす。また、全メモリセルに一括書き込みができる機能を持たせる。

【構成】 メモリアレイ1に通常の書き込み動作を行うための第1のデータ書き込み線(I/O線)10と、第1の列選択回路11に加え、1行一括書き込み動作を行う前にデータ保持回路29を介して電源線V<sub>ss</sub>、V<sub>cc</sub>と接続される第2の情報書き込み線30を設け、第2の列デコーダ32を動作させて第2の情報書き込み線30の電位を全ビット線対3a、3bに印加する。さらに全てのワード線4を同時に選択する第2の行選択手段33を設け全メモリセルに一括書き込みを行う。



1: メモリセル  
3a, 3b: ビット線  
4: ワード線  
10: 第1のデータ書き込み線

30: 第2のデータ書き込み線  
32: 第2の列選択回路  
33: 第2の行選択回路

1

## 【特許請求の範囲】

【請求項1】 列、行方向に配置された複数のワード線、ビット線対の各交点に配置されたメモリセルからなるメモリセルアレイと、上記複数のワード線の1つを選択する第1の行選択回路と、上記複数のビット線対から1つのビット線対を選択しこれを第1の情報書き込み線と接続する第1の列選択回路とを備えたダイナミック型メモリにおいて、一括書き込み用のデータを保持するデータ保持回路と、電源電位を受ける第2の情報書き込み線と、上記複数のビット線を全て同時に選択する第2の列選択回路とを有し、保持データに応じた情報がビット線対に与えられるよう、全ビット線対に上記第2の情報書き込み線の電源電位を印加し、1つの行のメモリセルの一括書き込みを行う情報書き込み手段を備えたことを特徴とするダイナミック型メモリ。

【請求項2】 上記データ保持回路は、その保持データに応じた情報が上記第2の情報書き込み線に与えられるよう、異なる電源電位の2つの電源線をデータ保持サイクル内において上記第2の情報書き込み線に接続するものであり、上記第2の列選択回路は、一括転送要求信号を受けて上記異なる電源電位の2つの電源線を全ビット線に接続することを特徴とする請求項1記載のダイナミック型メモリ。

【請求項3】 上記第2の情報書き込み線は所定電位の電源線に接続されたものであり、上記データ保持回路は、上記第2の情報書き込み線に与えられた電源電位を、その保持データに応じた情報がビット線対に与えられるよう、対をなすビット線の一方に上記第2の情報書き込み線を接続するものであることを特徴とする請求項1記載のダイナミック型メモリ。

【請求項4】 請求項1記載のダイナミック型メモリにおいて、上記複数のワード線を同時に全て選択する第2の行選択手段を設け、上記メモリセルアレイを構成する全メモリセルの一括書き込みを行うようにしたことを特徴とするダイナミック型メモリ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はダイナミック型メモリに関し、特にメモリアレイのデータ一括書き込み方式に関するものである。

【0002】

【従来の技術】 図5は一般に用いられているダイナミック型メモリのメモリアレイ周辺の構成図であり、図において、1は1ビットの電気情報を記憶するメモリセル、2はCMOSのバランス型フリップフロップ回路で構成され、微小信号電圧を検出し、増幅するセンスアンプ、3a、3bは1つのセンスアンプに接続されるペアのビット線で、情報信号をメモリセル1へ伝える。4は行並びのメモリセル1を構成するMOSFETのゲートに接続され、メモリセル1のMOSFETを活性化させるワ

2

ード線、5a、5b、5cはそれぞれビット線ペア3a、3b間の容量をバランスさせ、メモリセル1のMOSFETのゲート・ソース間もしくはゲート・ドレイン間容量に起因するワード線4からビット線3a、3bへのカップリングノイズを相殺するためのプリチャージ回路、ダミーワード線、ダミーセルである。

【0003】 また6は電気情報をセンスアンプ2へ伝え、あるいは遮断するといったゲートの働きを持つI/Oゲート、7は上記ダミーワード線5bを制御するダミーワード線制御回路、8は上記センスアンプ2を駆動させるセンスアンプ駆動回路、9は一括書き込み動作時にメモリセル1へ書き込む電気情報を一次蓄えておくデータ保持回路、10は電気情報を外部からメモリアレイ廻りの内部回路へ伝える第1のデータ書き込み線、11は任意のビット線ペア3a、3bを1つだけ活性化させる第1の列選択回路、12はビット線ペア3a、3bを全て活性化させる第2の列選択回路、13は任意のワード線4を1つだけ活性化させる第1の行選択回路である。

【0004】 次に動作について説明する。図6は通常の書き込み動作（任意のメモリセル1つに電気情報を書き込む動作）を行う場合の各信号電圧の時間特性図（以後、タイミング図と称す）であり、一般的に高電位 $V_{cc}$ は5V、低電位 $V_{ss}$ は0Vに設定されている。いま行選択信号（以後、 $\text{RAS}$ と称す）が $V_{cc} \rightarrow V_{ss}$ に変化したときメモリセル1の行並びの番地を設定する信号（以後、行Addと称す）のデータを第1の行選択回路13が読み取り、設定番地のワード線4を活性化する。このときワード線4には $V_{cc}$ より高い電位（ $V_{cc} + 2V_{T1}$ ）が与えられる。これは、メモリセル1内のMOSFETのしきい値電圧 $V_{T1}$ によりメモリセルを構成する容量に書き込まれるデータが $V_{cc}$ 以下となるのを防ぐためである。このとき、センスアンプ駆動回路8が作動してSE線に $V_{cc}$ が、またSE線に $V_{ss}$ が与えられ、選択された1行分のメモリセル1の各電気情報を各センスアンプ2で読み取る。

【0005】 次に列選択信号（以後、 $\text{CAS}$ と称す）が $V_{cc} \rightarrow V_{ss}$ に変化したときメモリセル1の列並びの番地を設定する信号（以後、列Addと称す）を第1の列選択回路11が読み取り、設定列のI/Oゲート6を開き、第1のデータ書き込み線10の電気信号を所定のビット線ペア3a、3bに伝え、センスアンプ2のデータが書き換えられ、選択されているメモリセル1の電気情報も書き換えられる。しかし、選択されていないメモリセル1の電気情報は各センスアンプ2が保持しているので書き換えは行われない。ついで $\text{RAS}$ が $V_{ss} \rightarrow V_{cc}$ となり、メモリセル1は他の回路と電気的に切り離され、電気情報はメモリセル1に保持されると同時に、第1の行選択回路13とセンスアンプ駆動回路8の動作は停止する。次いで $\text{CAS}$ が $V_{ss} \rightarrow V_{cc}$ となり、第1の列選択回路11の動作は停止し、I/Oゲート6が閉

3

じ、第1のデータ書き込み線10とビット線ペア3a、3bとが切り離される。

【0006】以上のようにして通常の書き込み動作が行われ、約百数十nsecの時間で動作する。なお、各アドレス信号Addはメモリセル1の数が256個であれば、 $2^4 = (256)^{1/4}$ の関係から4ヶの行Add信号と4ヶの列Add信号が必要となる。

【0007】つぎに1行分のメモリセル1に一括に電気情報を書き込むときの動作について説明する。1つの電気情報を1行分のメモリセル1に一括書き込みを行う場合においては上述した通常の書き込み動作とは異なり、高速書き込み動作を行う。図3はその高速書き込み動作時のタイミング図である。この動作状態においては、列選択が行われないため、列Add信号は発せられない。また/CAS信号も変化しない。そのため、第1のデータ書き込み線10に情報は伝えられない。

【0008】すなわち、図3において、/RASがVcc→Vssに変化したとき行Add信号を第1の行選択回路13が読み取り、設定番地のワード線4を活性化する。このとき、行一括高速書き込み動作に入ることを指令する一括書き込み要求信号（以後、DSFと称す）が発せられる。そして上記同様に選択された1行分のメモリセル1の各電気情報を各センスアンプ2が読み取り、次いでデータ保持回路9は上記DSF信号により、蓄えていた電気情報を第1のデータ書き込み線10に伝える。DSF信号により、第2の列選択回路12は1行分全てのI/Oゲート6を同時に開き、第1のデータ書き込み線10の電気信号を各列のビット線ペア3a、3bに伝え、1行分全てのセンスアンプ2のデータが書き換えられ、選択されているワード線4に接続される1行分全てのメモリセル1の電気情報も書き換えられる。

【0009】次に/RASがVss→Vccとなり、1行分のメモリセル1は他の回路と電気的に切り離され、電気情報はメモリセル1に保存されると同時に、第2の行選択回路12、センスアンプ駆動回路8及びデータ保持回路9の動作が停止する。

【0010】このようにして、任意の1行分のメモリセルに電気情報を一括書き込みする動作は完了する。このときの動作時間は電気情報を蓄えるためのサイクルをあわせて約300nsec前後である。また高速書き込み動作状態に入る前にデータ保持回路9にメモリセル1へ書き込む情報を蓄えておくサイクルを必要とする。

【0011】以上のように、従来のダイナミック型メモリは列選択回路として、任意のメモリセル1を1つだけ選択する第1の列選択回路11と、任意の1行全てのメモリセル1を選択する第2の列選択回路12を備え、これら回路のどちらを動作させるのかをDSF信号によりコントロールしていた。

【0012】

【発明が解決しようとする課題】従来のダイナミック型

4

メモリは以上のように構成されており、メモリセル1行一括書き込み動作においては、行選択信号/RASがVccからVssに変化してからデータ保持回路9が電気情報をデータ書き込み線10に伝えていた。そのため、データ書き込み線10の線容量を充電する時間が必要となり、高速書き込み動作を行うモードであるにもかかわらず大きなタイムロスを生じていた。

【0013】また、データ保持回路9は、データ書き込み線10とビット線ペア3a、3bの線容量を充電し、1行分のセンスアンプ並びにメモリセルに電気情報を書き込むだけの駆動能力を必要とし、その回路サイズは非常に大きなものとなり、ICチップの小型化には不都合であった。

【0014】さらに、全メモリセルに一括書き込みを行う場合は上述のような1行一括書き込み動作を繰り返し行わなければならない、動作が複雑となるとともに、上述の1行書き込み時毎のタイムロスが計上されることとなり動作速度向上が図れない等の問題点があった。

【0015】この発明は上記のような問題点を解消するためになされたもので、データ書き込み線の線容量充電によるタイムロスが生じないダイナミック型メモリを得ることを目的とする。

【0016】また簡単な動作でかつ高速に全メモリセルに一括書き込みを行うことができるダイナミック型メモリを得ることを目的とする。

【0017】

【課題を解決するための手段】この発明に係るダイナミック型メモリは、メモリセルアレイと、1つのメモリセルを選択するための行及び列選択手段に加えて、一括書き込み用のデータを保持するデータ保持回路と、電源電位を受ける第2の情報書き込み線と、上記複数のビット線全てを同時に選択する第2の列選択回路とを備え、保持データに応じた情報がビット線対に与えられるよう、全ビット線対に上記第2の情報書き込み線の電源電位を印加し、1行のメモリセルの一括書き込みを行うようにしたものである。

【0018】また、上記構成に加えて、全てのワード線を同時に選択する第2の行選択手段を設け、上記メモリセルアレイを構成する全メモリの一括書き込みを行うようにしたものである。

【0019】

【作用】この発明においては、一括書き込み用のデータを保持するデータ保持回路と、電源電位を受ける第2の情報書き込み線と、複数のビット線全てを同時に選択する第2の列選択回路とを設け、書き込み動作前に予め線容量が充電された第2のデータ書き込み線によりセンスアンプとメモリセルとに情報を書き込むように構成したので、データ保持回路による情報書き込み線の容量充電のためのタイムロスがなくなり、データ保持回路の駆動能力が向上する。

【0020】また、上記構成に加え第2の行選択回路を設け、全てのワード線を同時に活性化するようにしたから、簡単な動作で全メモリセルに一括に書き込みを行うことができる。

【0021】

【実施例】以下、この発明の第1の実施例を図について説明する。図1において、図5と同一符号は同一または相当部分を示し、11は従来例と同じ第1の列選択回路、29は機能的には従来例と同じデータ保持回路、30は一括書き込み動作時に使用される第2のデータ書き込み線であり、32は各ビット線ペア3a、3bを全て同時に活性化させる第2の列選択回路である。また13は従来例と同じ第1の行選択回路で、33は全ワード線4を同時に活性化する第2の行選択回路である。

【0022】次に動作について説明する。まず、通常の書き込み動作においては、第2のデータ書き込み線30は活性化されず、第2の列選択回路32も動作しない。よって従来例と同じ動作、同じタイミングで1つのメモリセルに書き込みが行われる。

【0023】つぎに1行一括書き込み動作について説明する。データ保持回路29はPチャンネルMOSFET側を $V_{cc}$ 線に、またnチャンネルMOSFET側を $V_{ss}$ 線に接続したフリップフロップ回路によって構成され、1行一括書き込みに入る前の電気情報を保持する動作において、電気情報がフリップフロップ回路に記憶された時から第2のデータ書き込み線30は充電され、1行一括書き込み動作に入る前に該線容量の充電は完了する。

【0024】そして1行一括書き込み動作に入り、図3において、 $\neg RAS$ が $V_{cc} \rightarrow V_{ss}$ に変化したとき行Add信号を第1の行選択回路13が読み取り、設定番地のワード線4を活性化させ、該ワード線4に接続された1行分の各メモリセル1の電気情報がセンスアンプ2に読み取られる。次いで、DSF信号により第2の列選択回路32は第2のデータ書き込み線30の電気情報を全てのビット線ペア3a、3bに伝える。以上のようにして全てのセンスアンプ2のデータが書き換えられ、選択されている1行分全てのメモリセル1の電気情報も書き換えられる。

【0025】次いで、 $\neg RAS$ が $V_{ss} \rightarrow V_{cc}$ となり、1行分のメモリセル1は他の回路と電氣的に切り離され、電気情報はメモリセル1に保存されると同時に、第2の列選択回路32とセンスアンプ駆動回路8の動作は停止し、1行一括書き込み動作は完了する。

【0026】このように本実施例では、データ保持回路29を介して電源線 $V_{cc}$ 及び $V_{ss}$ と接続する第2のデータ書き込み線30を設け、一括書き込み動作前のデータ保持回路29のデータ保持サイクル内で、第2のデータ書き込み線30をデータ保持回路29の電気情報に依じて電源線 $V_{cc}$ 及び $V_{ss}$ と接続して線容量を充電しておき、この第2のデータ書き込み線30を列選択回路32

で選択された全ビット線対3a、3b、及びセンスアンプ2に接続し、行選択回路13で選択された1行分全てのメモリセル1、及びセンスアンプ2のデータの書き換えを行うようにしたから、データ保持回路29による第2のデータ書き込み線30の線容量を充電するための負荷が無くなる。またデータ保持回路29に電気情報を書き込むサイクル内で線容量を充電するため、データ保持回路29の駆動能力は小さくてもよく、従って回路を小型化できる。

【0027】また、第2のデータ書き込み線30の線容量を、線を太くする、コンデンサを付加する等して増大させることで、1行一括書き込み動作時のデータ保持回路29の負荷の軽減を図ることもできる。

【0028】ところで上記構成において、第2の行選択手段33は全てのワード線4を同時に活性化するように構成されており、第1の行選択回路に代えてこの回路を動作させることでメモリアレイ中の全てのメモリセル2に一括に情報を書き込むことができる。図4の動作タイミングを用いて詳述すると、データ保持回路29の電気情報を全メモリセル1に書き込む動作であるから、行Add、列Add、 $\neg CAS$ の各信号は発せられない。 $\neg RAS$ が $V_{cc} \rightarrow V_{ss}$ となり、ICチップ内の回路は動作可能状態となる（ $\neg RAS$ 信号は行選択の他に前記の役割も担う）。このとき、DSF信号により第2の列選択回路32は第2のデータ書き込み線30の電気情報を全ビット線ペア3a、3bに伝え、全てのセンスアンプ2のデータが書き換えられる。

【0029】次に、第2の行選択回路33を動作させる信号ADEにより第2の行選択回路33は全ワード線4を同時に活性化し、上記書き換えられたセンスアンプ2の情報が全メモリセル1に書き込まれる。その後 $\neg RAS$ が $V_{ss} \rightarrow V_{cc}$ となり、第2の行選択回路33の動作は停止し、全メモリセル1は電氣的に他の回路と切り離され、電気情報は保存されると同時に、第2の行選択回路32とセンスアンプ駆動回路8の動作は停止し、全メモリセル一括書き込み動作は完了する。

【0030】このようにすることで、例えば $256 \times 256$ 個のメモリセルの1行分である256個のメモリセル1に全メモリセル一括書き込みを行った場合、 $256^2 = 65,536$ 個のメモリセルに一括書き込みすることになる。この場合、1行一括書き込み動作時の2乗倍の負荷が書き込み回路系にかかるので、ADE信号が発せられた時点から $\neg RAS$ が $V_{ss} \rightarrow V_{cc}$ となるまでの時間を十分にとる必要があり、動作タイミングは長くなるが、1行一括書き込み動作を256回繰り返して $256 \times 256$ 個の全メモリセルに書き込みを行うよりは、かに速く書き込みを行うことが可能となる。

【0031】次に本発明の他の実施例を図2に示す。図において、図1と同一符号は同一または相当部分を示し、49は機能的には従来と同じデータ保持回路、50

は一括書き込み動作時に使用される第2のデータ書き込み線、 $V_{cc}$ 線もしくは $V_{ss}$ 線のどちらかに接続されており、常時活性状態にある。データ保持回路49に記憶されている電気情報により、52は第2の列選択回路であり、データ保持回路49に記録されている電気情報により該回路52の2本ある駆動線のいずれか一方のみが活性化されることにより、ビット線3aもしくはビット線3bのどちらかが活性化される。

【0032】次に動作について説明する。通常の書き込み動作は第1の実施例と同じであるのでここでは一括書き込み動作についてのみ説明する。図3において、 $/RAS$ が $V_{cc} \rightarrow V_{ss}$ に変化したとき $Add$ 信号を第1の行選択回路13が読み取り設定番地のワード線4を活性化させ、各メモリセル1の電気情報がセンスアンプ2に読み取られる。次いで、 $DSF$ 信号によりデータ保持回路49は保持している情報に従い、第2の列選択回路52のどちらか一方の駆動線を活性化させる。常時活性化状態にある第2のデータ書き込み線50の電圧は、第2の列選択回路52によりビット線3aもしくはビット線3bを選択することによって電気情報として伝えられ、伝えられた電気情報はセンスアンプ2のデータを書き換え、次いで1行全てのメモリセル1の電気情報も書き換える。

【0033】そして $/RAS$ が $V_{ss} \rightarrow V_{CC}$ となり、1行分のメモリセル1は他の回路と電氣的に切り離され、電気情報はメモリセル1に保存されると同時に、データ保持回路49の動作は停止し、第2の列選択回路52の動作も停止する。また、センスアンプ駆動回路8の動作も停止し、1行一括書き込み動作は完了する。

【0034】この場合、第2の列選択回路52はビット線3aかビット線3bのどちらか一方しか活性化しないため、ビット線ペア3a、3bを両方活性化させる場合に比べ、センスアンプ2へ電気信号を書き込む時間は長くなるが、第2のデータ書き込み線50は常時 $V_{cc}$ 線もしくは $V_{ss}$ 線に接続されているので、線を太くしてやれば、上記実施例で示したようなデータ保持回路への情報書き込み動作時に第2の第2のデータ書き込み線の線容量を充電する方式よりもセンスアンプ2を駆動する能力は高い。

【0035】また、データ保持回路49は、第2の列選択回路52を駆動する能力のみ有していればよいので、上記実施例よりもさらに小型なものとすることができる。

【0036】また、上記実施例と同様にして第2の行選択回路33を駆動することで、全メモリセルへの一括書き込み動作を行うことができる。

【0037】なお上記実施例では第2の列選択回路32、52、及び第2の行選択回路13がnチャネルMOSFETにより構成されているものを示したが、PチャネルMOSFETによって構成された回路であってもよ

く、上記実施例と同様の効果を奏することは言うまでもない。

【0038】

【発明の効果】以上のように、この発明に係るダイナミック型メモリによれば、一括書き込み用のデータを保持するデータ保持回路と、電源電位を受ける第2の情報書き込み線と、複数のビット線全てを同時に選択する第2の列選択回路とを設け、書き込み動作前に予め線容量が充電された第2のデータ書き込み線によりセンスアンプとメモリセルとに情報を書き込むようにしたので、データ保持回路による情報書き込み線の容量充電のためのタイムロスがなくなり高速な動作を行うことができるとともに、情報書き込み線を充電する負荷が軽くなる分、データ保持回路の駆動負荷が軽減され、従って小さい駆動能力のものとすることができ、回路サイズを小さくでき、ひいては装置のコンパクト化を図ることができるという効果がある。

【0039】また、上記構成に加え、全ワード線を同時に活性化する第2の行選択回路を設けたので、全メモリセルへの一括書き込み動作が高速かつ簡単に行なうことができるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例によるダイナミック型メモリのメモリアレイと周辺回路の構成図である。

【図2】この発明の他の実施例によるダイナミック型メモリのメモリアレイと周辺回路の構成図である。

【図3】従来及び本発明によるダイナミック型メモリのメモリセル1行一括書き込み動作時のタイミング図である。

【図4】従来及び本発明によるダイナミック型メモリの全メモリセル一括書き込み動作時のタイミング図である。

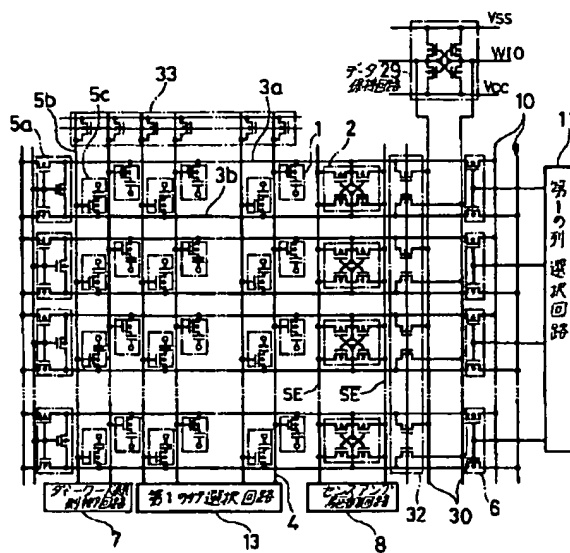
【図5】従来のダイナミック型メモリのメモリアレイと周辺回路の構成図である。

【図6】従来及び本発明によるダイナミック型メモリの通常書き込み動作時のタイミング図である。

【符号の説明】

- 1   メモリセル
- 3a   ビット線（列選択線）
- 3b   ビット線（列選択線）
- 4   ワード線（行選択線）
- 10   第1のデータ書き込み線
- 11   第1の列選択回路
- 13   第1の行選択回路
- 30   第2のデータ書き込み線
- 32   第2の列選択回路
- 33   第2の行選択回路
- 50   第2のデータ書き込み線
- 52   第2の列選択回路

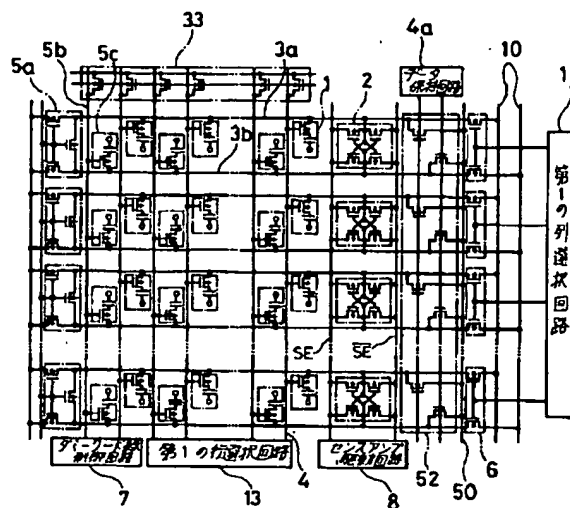
【図1】



1: メモリセル  
3a, 3b: ビット線  
4: ワード線  
10: 第1のデータ書込線

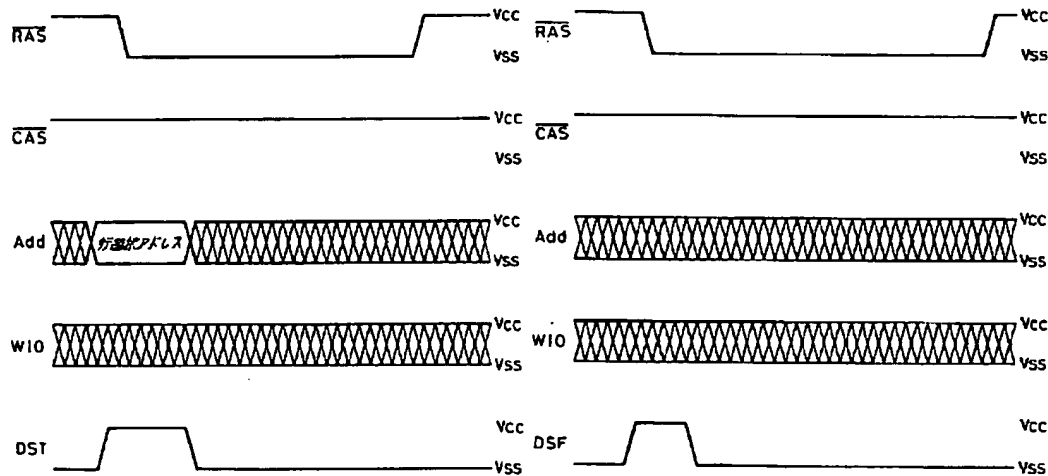
30: 第2のデータ書込線  
32: 第2の列選択回路  
33: 第2の行選択回路

【図2】

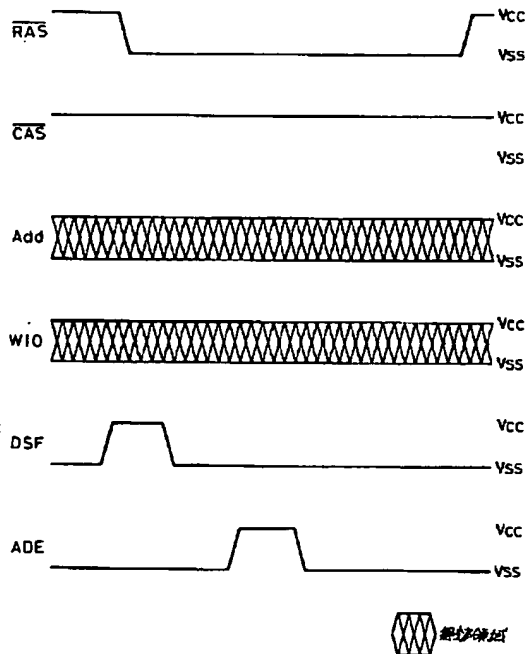


50: 第2のデータ書込線  
52: 第2の列選択回路

【図3】

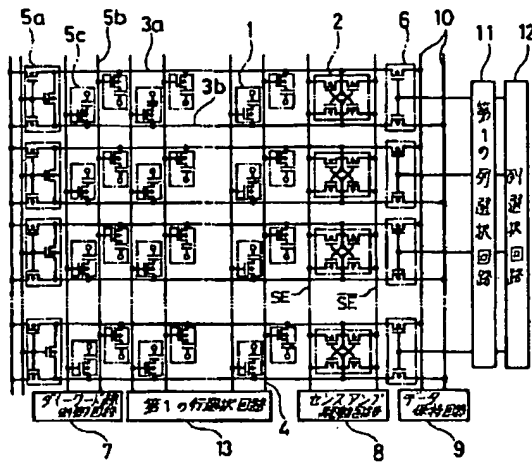


【図4】





【図5】



【図6】

